

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月27日

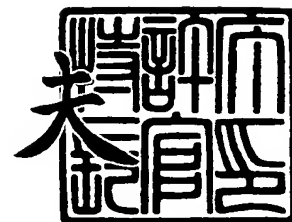
出願番号
Application Number: 特願2002-378868
[ST. 10/C]: [JP2002-378868]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3089015

【書類名】 特許願

【整理番号】 P006859

【提出日】 平成14年12月27日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小山 潤

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

前記画素はスイッチング素子と不揮発性メモリ素子と画素電極とを有し、
前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、
出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、
制御端子が前記ゲート信号線に電氣的に接続されることを特徴とした表示装置

。

【請求項 2】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

1つの画素は複数のサブ画素からなり、

前記サブ画素はスイッチング素子と不揮発性メモリ素子と画素電極を有し、
前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、
出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、
制御端子が前記ゲート信号線に電氣的に接続されることを特徴とした表示装置

。

【請求項 3】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

1つの画素は複数のサブ画素からなり、

前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、

前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、
出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、
制御端子が前記ゲート信号線に電氣的に接続され、



1つの画素中のスイッチング素子はそれぞれ異なるソース信号線に接続されることを特徴とした表示装置。

【請求項 4】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

1つの画素列に対して、 n 本のソース信号線を配置し、

1つの画素は n 個のサブ画素からなり、

前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、

前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、

出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、

制御端子が前記ゲート信号線に電氣的に接続され、

1つの画素中のスイッチング素子はそれぞれ異なる n 本のソース信号線のいずれかに1つに接続されることを特徴とした表示装置。

【請求項 5】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

1つの画素は複数のサブ画素からなり、

前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、

前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、

出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、

制御端子が前記ゲート信号線に電氣的に接続され、

1つの画素中のスイッチング素子はそれぞれ異なるゲート信号線に接続されることを特徴とした表示装置。

【請求項 6】

複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置において、

1つの画素列に対して n 本のゲート信号線を配置し、



1つの画素は n 個のサブ画素からなり、

前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、

前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、

出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、

制御端子が前記ゲート信号線に電氣的に接続され、

1つの画素中のスイッチング素子はそれぞれ異なる n 本のゲート信号線のいずれか1つに接続されることを特徴とした表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、不揮発性メモリ素子は強誘電体メモリであることを特徴とした表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、スイッチング素子は薄膜トランジスタであることを特徴とした表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、

画素と同一基板上にソース信号線駆動回路を形成したことを特徴とした表示装置。

【請求項 10】

請求項 1 乃至請求項 8 のいずれか 1 項において、

画素と同一基板上にゲート信号線駆動回路を形成したことを特徴とした表示装置。

【請求項 11】

請求項 9 または請求項 10 において、

ソース信号線駆動回路またはゲート信号線駆動回路は単極性のトランジスタで構成されていることを特徴としたことを特徴とした表示装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする電子機器。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、表示装置に関し、特にガラス、プラスチックなどの透明基板上に形成された薄膜トランジスタ（TFT）を用いた表示装置およびその駆動方法に関する。また、表示装置を用いた電子機器に関する。

【0002】**【従来の技術】**

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まったPDAと呼ばれる情報端末も多数生産され、普及しつつある。また、表示装置の発展により、それらの情報携帯機器のほとんどにはフラットパネルディスプレイが装備されている。

【0003】

さらに、最近の技術では、それら使用される表示装置として、アクティブマトリクス型表示装置を使用する方向に向かっている。アクティブマトリクス型表示装置は画素1つずつに対してTFTを配置し、そのTFTによって画面を制御している。このようなアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高性能化、高画質化、動画対応などの長所を持っている。それゆえに、液晶表示装置もパッシブからアクティブに主流が移ると考えられる。

【0004】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコンを用いた表示装置の製品化が進められている。低温ポリシリコンでは画素だけでなく、画素部の周囲に駆動回路を一体形成することが可能である為、表示装置の小型化や、高精細化が可能であるため、今後はさらに普及が見込まれる。

【0005】

以下に、アクティブマトリクス型の液晶表示装置の画素部の動作について説明する。図2に、アクティブマトリクス型液晶表示装置の構成の例を示す。一つの

画素 220 はソース信号線 203 とゲート信号線 205 と容量線 219 と画素 TFT 207 と保持容量 211 と液晶 215 により構成される。ただし、容量線は他の配線などと兼用できれば必ずしも必要ではない。画素 TFT 207 のゲート電極は、ゲート信号線 205 に接続され、画素 TFT 207 のドレイン領域またはソース領域の一方は、ソース信号線 203 に接続され、もう一方は、保持容量 211 及び液晶 215 に接続されている。

【0006】

ゲート信号線 205、206 はライン周期にて順次選択されていく。画素 TFT 207、209 が N チャネル型 (Nch) の場合はゲート信号線 205 が Hi のときにアクティブとなり、画素 TFT 207、209 がオンとなる。画素 TFT 207、209 がオンになるとソース信号線 203、204 の電位が保持容量 211、213 と液晶 215、217 に書き込まれる。次のライン期間には隣のゲート信号線 206 がアクティブとなり、画素 TFT 208、210 が Hi になり、同様にして保持容量 212、214 と液晶 216、218 にソース信号線 203、204 の電位を書き込んでいく。書き込まれた電位に応じて、液晶 215～218 は配向し、光の透過率を変化させる。このようにしてアクティブマトリクス型液晶表示装置は液晶を光シャッターとして表示をおこなう。

【0007】

また、図 14 に示すように画素の内部にスタティック RAM (SRAM) を設け表示を行うものも開発されている (たとえば特許文献 1 を参照。)。

【0008】

【特許文献 1】

特開平 8-286170 号公報

【0009】

図 14 では 1 つの画素 1407 の中に、SRAM 1403 とスイッチ 1405、1406、液晶 1404 が含まれている。ソース信号線駆動回路 1401 はソース信号線 1408、1409 に映像信号を出力する。ゲート信号線駆動回路 1402 によってゲート信号線 1410 が選択されると、SRAM 1403 に映像信号が、ソース信号線 1408、1409 を介して、書き込みが行われる。SR

AM1403に記憶されたデータに基づき、スイッチ1405、1406のいずれかが動作しVaまたはVbのいずれかの電位が液晶1404に印加される。この状態はSRAMに次の書き込みが行われるまで保持される。

このようにして表示が行われる。

【0010】

【発明が解決しようとする課題】

従来のアクティブマトリクス型表示装置には以下のような問題があった。従来のアクティブマトリクス型表示装置の画素部は、上述したように、保持容量とスイッチ回路のよるダイナミックRAM(DRAM)型の構成をとっているため、定期的リフレッシュ動作が必要である。図3にその動作波形を示す。画素信号波形はソース信号線波形が t_1 および t_4 で変化するとその時点からソース信号線波形の方に引かれて行く。

【0011】

図3に示す従来例では $t_2 \sim t_3$ 、 $t_5 \sim t_6$ で再書き込みを行っているため表示は問題ないが、リフレッシュ動作を行わないまたは、リフレッシュの期間が長いと、保持容量に蓄積した電荷が、スイッチTFTのリーク電流によって放電し、液晶駆動に必要な電圧が保持できなくなる。したがって、静止画のように本来画像データが変化しない表示する場合においても、定期的な書き込みを必要としていた。その結果として、その書き込み動作のために消費電力が大きくなるという課題があった。

【0012】

また、図14に示すようなSRAMを用いたアクティブマトリクス型表示装置では、SRAM回路を構成するトランジスタ数が多く、画素面積が小さい場合、画素の中に入りきらない、もしくは開口率が低下するという問題があった。

【0013】

【課題を解決するための手段】

前述した課題を解決する為、本発明の表示装置では次のような方策を用いる。すなわち、画素に不揮発性のメモリ素子、たとえば強誘電体材料を用いた不揮発性メモリを設け、その記憶内容が、リフレッシュを行わなくとも、保存されるよ

うにする。強誘電体材料を使うことにより、SRAMが不要となるので、必要な素子面積を減らすことができる。

【0014】

本発明は、ソース信号線とゲート信号線と画素をマトリクス状に配置した表示装置であって、前記画素にスイッチング素子と不揮発性メモリ素子と画素電極とを有するものである。前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続されている。

【0015】

本発明に係る表示装置は、複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置であって、1つの画素は複数のサブ画素からなり、前記サブ画素はスイッチング素子と不揮発性メモリ素子と画素電極を有し、前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続されている。

【0016】

本発明に係る表示装置は、複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置であって、1つの画素は複数のサブ画素からなり、前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続され、1つの画素中のスイッチング素子はそれぞれ異なるソース信号線に接続されている。

【0017】

本発明に係る表示装置は、複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置であって、1つの画素列に対して、 n 本のソース信号線を配置し、1つの画素は n 個のサブ画素からなり、前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前

記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続され、1つの画素中のスイッチング素子はそれぞれ異なるn本のソース信号線のいずれかに1つに接続されている。

【0018】

本発明に係る表示装置は、複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置であって、1つの画素は複数のサブ画素からなり、前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続され、1つの画素中のスイッチング素子はそれぞれ異なるゲート信号線に接続されている。

【0019】

本発明に係る表示装置は、複数のソース信号線と複数のゲート信号線と複数の画素をマトリクス状に配置した表示装置であって、1つの画素列に対してn本のゲート信号線を配置し、1つの画素はn個のサブ画素からなり、前記サブ画素はそれぞれスイッチング素子と不揮発性メモリ素子と画素電極を有し、前記スイッチング素子は入力端子が前記ソース信号線に電氣的に接続され、出力端子が前記不揮発性メモリ素子と画素電極に電氣的に接続され、制御端子が前記ゲート信号線に電氣的に接続され、1つの画素中のスイッチング素子はそれぞれ異なるn本のゲート信号線のいずれか1つに接続されている。

【0020】

上記した本発明において、不揮発性メモリ素子は強誘電体メモリを用いることが好ましい。また、スイッチング素子は薄膜トランジスタを用いることができる。

【0021】

上記した本発明において、画素と同一基板上にソース信号線駆動回路、および／または、ゲート信号線駆動回路を形成することができる。ソース信号線駆動回路および／またはゲート信号線駆動回路は単極性のトランジスタで構成することができる。

【0022】

【発明の実施の形態】

図1に本発明の構成を示す。図1は3ビットの階調を示す例である。ここでは3ビットで説明を行うが本発明は3ビットには限定されない。1つの画素152は3つのスイッチング素子、3つの不揮発性メモリ素子によって構成されている。スイッチング素子はゲート信号線によってオンオフが制御される。不揮発性メモリ素子は一端が各スイッチング素子、他端が共通電極151に接続されている。スイッチング素子は入力端子、出力端子、制御端子を有し、入力端子はソース信号線に電氣的に接続され、出力端子は不揮発性メモリ素子および画素電極（図示せず）を介して液晶素子に電氣的に接続され、制御端子はゲート信号線に電氣的に接続されている。

【0023】

ソース信号線駆動回路101よりソース信号線103～108にデジタル映像信号が出力される。ゲート信号線駆動回路102がゲート信号線109～111を選択すると、スイッチング素子115～117、121～123がオンし、ソース信号線103～108のデジタル映像信号を不揮発性メモリ素子127～129、133～135に書き込む。ゲート信号線駆動回路102がゲート信号線109～111の選択を解除するとスイッチング素子115～117、121～123はオフする。しかし、不揮発性メモリ素子127～129、133～135には状態が記憶されているので、液晶139～141、145～147は書き込みが行われた状態で表示を行うことができる。

【0024】

次に、ゲート信号線駆動回路102がゲート信号線112～114を選択すると、スイッチング素子118～120、124～126がオンし、ソース信号線103～108のデジタル映像信号を不揮発性メモリ素子130～132、136～138に書き込む。ゲート信号線駆動回路102がゲート信号線112～114の選択を解除するとスイッチング素子118～120、124～126はオフする。しかし、不揮発性メモリ素子130～132、136～138には状態が記憶されているので、液晶142～144、148～150は書き込みが行わ

れた状態で表示を行うことができる。

【0025】

本発明において、保持はデジタル的に行うため、階調は面積階調を用いて表示を行う。すなわち、3ビットの表示を行う場合には画素電極の面積を4:2:1に設定し、必要な階調に応じて、必要な状態を記憶することによって階調を表現することができる。

【0026】

不揮発性メモリ素子に強誘電体材料たとえばPZTを使用すると、電源がオフになってもその状態は保持されるので、静止画を表示するときには、表示装置の電源をオフにでき、電力の削減を図ることが可能である。このようにして、本発明では従来の問題点であった、リフレッシュ動作を不要にすることが可能であり、低消費電力化が可能になった。また、強誘電体材料はPZTに限定されず他の材料でも良い。

【0027】

また、本発明ではSRAMを用いた表示装置のように、画素内に多くのトランジスタを必要とせず、画素が小さい場合や、開口率の著しい低下をまねくことなく、使用が可能である。また、以上は液晶を例にとり説明をおこなったが液晶以外たとえば電気泳動素子などを用いてもよい。

【0028】

本発明で使用するソース信号線駆動回路、ゲート信号線駆動回路、またはそれ以外の回路は画素と同一基板上に一体形成しても良いし、別基板上に形成しCOGまたはTABなどの技術を用いて実装しても良い。

【0029】

【実施例】

(実施例1)

図4に本発明の実施例を示す。本実施例では、スイッチング素子をTF Tで構成している構成している。図4は3ビットの階調を示す例である。ここでは3ビットで説明を行うが本発明は3ビットには限定されない。1つの画素452は3つのTF T、3つの不揮発性メモリ素子によって構成されている。TF Tはゲー

ト信号線によってオンオフが制御される。不揮発性メモリ素子は一端が各TFTおよび画素電極（図示せず）を介して液晶素子、他端が共通電極451に接続されている。

【0030】

ソース信号線駆動回路401よりソース信号線403～408にデジタル映像信号が出力される。ゲート信号線駆動回路402がゲート信号線409～411を選択すると、TFT415～417、421～423がオンし、ソース信号線403～408のデジタル映像信号を不揮発性メモリ素子427～429、433～435に書き込む。ゲート信号線駆動回路402がゲート信号線409～411の選択を解除するとTFT415～417、421～423はオフする。しかし、不揮発性メモリ素子427～429、433～435には状態が記憶されているので、液晶439～441、445～447は書き込みが行われた状態で表示を行うことができる。

【0031】

次に、ゲート信号線駆動回路402がゲート信号線412～414を選択すると、TFT418～420、424～426がオンし、ソース信号線403～408のデジタル映像信号を不揮発性メモリ素子430～432、436～438に書き込む。ゲート信号線駆動回路402がゲート信号線412～414の選択を解除するとTFT418～420、424～426はオフする。しかし、不揮発性メモリ素子430～432、436～438には状態が記憶されているので、液晶442～444、448～450は書き込みが行われた状態で表示を行うことができる。

【0032】

本発明において、保持はデジタル的に行うため、階調は面積階調を用いて表示を行う。すなわち、3ビットの表示を行う場合には画素電極の面積を4:2:1に設定し、必要な階調に応じて、必要な状態を記憶することによって階調を表現することができる。

【0033】

不揮発性メモリ素子に強誘電体たとえばPZTを使用すると、電源がオフにな

ってもその状態は保持されるので、静止画を表示するときには、表示装置の電源をオフにでき、電力の削減を図ることが可能である。このようにして、本発明では従来の問題点であった、リフレッシュ動作を不要にすることが可能であり、低消費電力化が可能になった。

【0034】

また、本発明ではSRAMを用いた表示装置のように、画素内に多くのトランジスタを必要とせず、画素が小さい場合や、開口率の著しい低下をまねくことなく、使用が可能である。

【0035】

(実施例2)

図5に本発明の実施例を示す。本実施例では、ソース信号線を画素1列に対して1本としたことが、実施例1と異なっている。図4は3ビットの階調を示す例である。ここでは3ビットで説明を行うが本発明は3ビットには限定されない。1つの画素548は3つのTF T、3つの不揮発性メモリ素子によって構成されている。TF Tはゲート信号線によってオンオフが制御される。不揮発性メモリ素子は一端が各TF Tおよび画素電極（図示せず）を介して液晶素子、他端が共通電極547に接続されている。以下にその動作を説明する。

【0036】

ソース信号線駆動回路501よりソース信号線503、504にデジタル映像信号が出力される。ゲート信号線駆動回路502がゲート信号線505を選択すると、TF T511、517がオンし、ソース信号線503、504のデジタル映像信号を不揮発性メモリ素子523、529に書き込む。ゲート信号線駆動回路502がゲート信号線505の選択を解除するとTF T511、517はオフする。しかし、不揮発性メモリ素子523、529には状態が記憶されているので、液晶535、541は書き込みが行われた状態で表示を行うことができる。

【0037】

次に、ゲート信号線駆動回路502がゲート信号線506を選択すると、TF T512、518がオンし、ソース信号線503、504のデジタル映像信号を不揮発性メモリ素子524、530に書き込む。ゲート信号線駆動回路502が

ゲート信号線 506 の選択を解除すると T F T 512、518 はオフする。しかし、不揮発性メモリ素子 524、530 には状態が記憶されているので、液晶 536、542 は書き込みが行われた状態で表示を行うことができる。

【0038】

次に、ゲート信号線駆動回路 502 がゲート信号線 507 を選択すると、T F T 513、519 がオンし、ソース信号線 503、504 のデジタル映像信号を不揮発性メモリ素子 525、531 に書き込む。ゲート信号線駆動回路 502 がゲート信号線 507 の選択を解除すると T F T 513、519 はオフする。しかし、不揮発性メモリ素子 525、531 には状態が記憶されているので、液晶 537、543 は書き込みが行われた状態で表示を行うことができる。このようにして 1 つの画素 548 のデータ書き込みが終了する。これらの書き込みは 1 水平ライン期間に行われる。

【0039】

続いて次の行の画素についても同様の書き込みが行われる。ゲート信号線 508、509、510 が順に選択され、それに応じて、T F T 514、520、515、521、516、522 が順次オンし、ソース信号線 503、504 のデータを不揮発性メモリ素子 538、544、539、545、540、546 に書き込んでいく。このようにして、表示を行っていく。本実施例ではソース信号線の数を削減することが可能であるため、開口率の向上に貢献することが可能となる。

【0040】

(実施例 3)

図 6 に実施例 1 で示した画素構成に対応したソース信号線駆動回路の実施例を示す。図 6 のソース信号線駆動回路はシフトレジスタ 601 と 1 s t ラッチ回路 614 と 2 n d ラッチ回路 615 によって構成されている。以下に動作を説明する。

【0041】

シフトレジスタ 601 の出力パルスがラッチ回路 602～604 に入力されると、映像信号線 614 のデジタル映像信号がラッチ回路 602～604 に記憶さ

れる。次にシフトレジスタ 601 の出力パルスがラッチ回路 608～610 に入力されると、映像信号線 614 のデジタル映像信号がラッチ回路 608～610 に記憶される。同様に、シフトレジスタの出力パルスを順次走査していき、1 ライン分の映像信号を 1st ラッチ回路 614 に蓄える。次のラインの映像が始まる前に、ラッチ信号線 615 によりラッチパルスをラッチ回路 605～607、611～613 に入力し、1st ラッチ回路 614 のデータを 2nd ラッチ回路 615 に記憶する。そして、ソース信号線にデータを出力する。このようにして、ソース信号線駆動回路は動作する。

【0042】

(実施例 4)

図 7 は実施例 1 と異なる構成のソース信号線駆動回路の実施例である。このソース信号線駆動回路は実施例 2 の画素構成に対応したものである。シフトレジスタ 701 の出力パルスにて、順次、映像信号線 714 のデータをラッチ回路 702～704、708～710 に記憶し、1 ライン分のデータが記憶されたのちラッチ信号線 715 のラッチパルスによってラッチ回路 705～707、711～713 にデータを転送する。

【0043】

ここまでは実施例 3 と同じであるが、その後ラッチ回路 705～707 の出力をスイッチ 716 で切り換え、それぞれ 1 ライン期間の 3 分の 1 ずつソース線に出力する。このようにすることによって、ソース信号線の本数を削減することができる。すなわちソース信号線の信号を時分割で活用することが可能である。ここでは 3 分割したが、3 分割には限定されない。同様に、ラッチ回路 711～713 の出力もスイッチ 717 によって切り換え、ソース信号線に出力することが可能である。

【0044】

(実施例 5)

図 8 は単極性の T F T を用いて、シフトレジスタを構成した例である。このように信号線駆動回路またはその他の回路を単極性の回路にすることによって、表示装置のコスト低減を図ることができる。図 8 は N c h の例であるが、単極性は

NchのみまたはPチャネル型(Pch)のみのいずれを用いても良い。単極性のプロセスを用いることによって、マスク枚数の低減が可能となる。

【0045】

図8において、スタートパルスは走査方向切り換えスイッチ802に入力され、スイッチ用TFT811を経て、シフトレジスタ801に入力される。シフトレジスタはブートストラップを用いたセトリセット型のシフトレジスタである。以下にシフトレジスタ801の動作を説明する。

【0046】

スタートパルスはTFT803のゲートとTFT806のゲートに入力される。TFT806がオンになるとTFT804のゲートはロウになりTFT804はオフになる。また、TFT810のゲートもロウになるためTFT810もオフとなる。TFT803のゲートは電源電位まで上がるため、まずTFT809のゲートは電源-V_{gs}まで上昇する。出力1は初期電位がロウであるため、TFT809は出力1と容量808を充電しながらソース電位を上げていく、TFT809のゲートが電源-V_{gs}まで上昇したときに、TFT809はまだオンしているので、出力1はさらに上昇を続ける。TFT809のゲートは放電経路がないので、ソースに合わせて上昇し、電源をこえてもさらに上昇を続ける。

【0047】

TFT809のドレイン、及びソースが等電位になったときに、電流が出力に流れるのが停止し、そこでTFT809の電位上昇が止まる。このようにして、出力1は電源電位に等しいハイ電位を出力できる。この時はCLbの電位はハイとする。CLbがロウに落ちると、容量808電荷はTFT809を介してCLbにぬけて、出力1はロウに落ちる。出力1のパルスは次の段のシフトレジスタに伝わっていく。以上が本実施例の回路の動作である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0048】

(実施例6)

図9は実施例1に示した画素の平面図である。ソース信号線901~903、ゲート信号線904~906、TFT907~909、不揮発性メモリ素子91

0～912、共通電極913～915、画素電極916～918によって構成されている。この実施例は3ビットの例であるが、3ビットには限定されない。図9に示すように、不揮発性メモリ素子910～912は占有面積が狭いので、開口率を落とさずにメモリ回路を内蔵することが可能になる。

【0049】

また、画素電極916、917、918の面積を1:2:4とすることで3ビットの面積階調が実現できる。同様にnビットの場合は、サブ画素をn個設け、それぞれの面積比を1から2のn-1乗とすることによって、3ビット以外においても実現ができる。

【0050】

(実施例7)

本発明の表示装置の作製工程について説明する。ここでは、同一基板上に画素部を構成するスイッチング用TFTと、駆動回路や他の論理回路を構成するTFT及び不揮発性のラッチ回路を構成する強誘電体材料を用いた容量を同時に作製する方法について詳細に説明する。図10～図13はその作製工程を説明する断面図である。

【0051】

まず図10(A)において基板1000は、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、SUS基板等を用いることができる。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0052】

基板1000上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜1001及び1002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜1001を10～200nm(好ましくは50～100nm)形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜1002を50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では下地膜

を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。また、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0053】

島状半導体層1003～1005は、非晶質構造を有する半導体膜をレーザ結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する(図10(B))。この島状半導体層1003～1005の厚さは25～100nm(好ましくは30～60nm)の厚さで形成する。なお島状半導体層1003～1005は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5atomic%程度であることが好ましい。

【0054】

レーザ結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、YVO₄レーザを用いる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザ光を基板全面に渡って照射し、この時の線状レーザ光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0055】

次いで、島状半導体層1003～1005を覆うゲート絶縁膜1006を形成する(図10(C))。ゲート絶縁膜1006はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。

本実施例では、120 nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜1006はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Ortho Silicate) と O_2 とを混合し、反応圧力40 Pa、基板温度300～400℃とし、高周波(13.56 MHz)、電力密度0.5～0.8 W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールにより絶縁膜として良好な特性を得ることができる。

【0056】

次に、図11(A)に示すように、ゲート絶縁膜1006上にゲート電極1100～1102を形成する。ゲート電極1100～1102はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、前記元素を主成分とする合金、あるいは多結晶シリコンなどで形成すれば良い。まず表面上に導電層を形成し、レジストマスク(図示せず)を用いて、導電層をエッチングすることで、ゲート電極1100～1102が形成される。

【0057】

その後、N型を付与する不純物元素をドーピングする。こうして、半導体活性層内にN型の低濃度不純物領域1103～1108が形成される。

【0058】

次いで、ゲート電極1102を覆うようにレジストマスク(図示せず)を形成し、ゲート電極1101と該レジストマスクをマスクとして自己整合的にn型不純物元素を添加し、また、ゲート電極1101をマスクとして自己整合的にp型不純物元素を添加する。

【0059】

こうしてnチャネル型TFETのソース領域またはドレイン領域として機能する高濃度n型不純物領域1111、1112、1113、1114及びpチャネル型TFETのソース領域またはドレイン領域として機能する高濃度p型不純物領域1109、1110を形成する。n型を付与する不純物元素にはリン(P)ある

いは砒素 (As) を、p 型を付与する不純物元素にはボロン (B) を、それぞれ用いる。

【0060】

その後、n 型及び p 型不純物元素の活性化を行う。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400～700℃で行う。

【0061】

そして図 11 (C) に示すように、ゲート電極 1100～1112 上に、窒化珪素膜又は酸窒化珪素膜による第 1 の層間絶縁膜 1115 を形成する。

【0062】

以上のようにして同一基板上に画素部を構成するスイッチング TFT と、駆動回路や他の論理回路を構成する TFT が形成される。次に第 1 の層間絶縁膜 1112 の上に強誘電体材料を用いた容量の形成を行う。

【0063】

まず、下部電極層 1201 の形成を行う (図 12 (A))。形成方法は CVD 法、スパッタ法、イオンビームスパッタ法、レーザーアブレーション法などから選べば良い。下部電極層 1201 の材料には Pt/IrO₂、Pt-Ta/SiO₂ などを用いる事ができる。強誘電体薄膜の電気的特性は結晶の配向に強く依存するため、下部電極の表面には配向制御が容易な Pt を用いるのが特に好ましい。金属膜形成後不要な部分をプラズマエッチングなどで処理して下部電極層 1201 を形成する。

【0064】

次に、下部電極層 1201 の上に強誘電体層 1202 を形成する (図 12 (B))。強誘電体は PZT、PbTiO₃ などの鉛含有ペロブスカイト、Bi₄Ti₃O₁₂ などのビスマス層状化合物、LiNbO₃、LiTaO₃ などのイルメナイト系化合物を用いる事ができる。このうち鉛含有ペロブスカイトを用いた強誘電体、とりわけ PZT は広いの組成範囲で強誘電体の性質を示すため好ましい。

【0065】

強誘電体層 1202 の形成方法は CVD 法、スパッタ法、イオンビームスパッタ法、レーザアブレーション法などから選べば良い。特に CVD 法は膜組成や結晶性の制御性が高く、大面積化や量産化に優れて好ましい。CVD 法で形成する場合、材料の条件として比較的低温で大きな蒸気圧を持ち、長時間にわたって安定であること、また堆積温度範囲内において析出速度が原料の供給量によって決まること、気相での核生成反応が起こらないことなどが挙げられるが、PZT はこれらの点でも優れている。

【0066】

CVD 法による強誘電体層形成のプロセスは公知の手順に従えば良い。例えば圧力 660 Pa、基板温度 500～650 度で PZT による強誘電体層を形成させることができる。

【0067】

次に、強誘電体層 1202 の上に上部電極層 1203 を形成する（図 12（C））。形成方法は下部電極 1201 と同様に CVD 法、スパッタ法、イオンビームスパッタ法、レーザアブレーション法などから選ぶ事ができる。上部電極層 1203 の材料には下部電極層 1201 で用いた材料のほか Ir/IrO₂ などを用いる事ができる。

【0068】

次に、図 13（A）に示すように、窒化珪素膜又は酸窒化珪素膜を材料とする第 2 の層間絶縁膜 1307 を成膜した後、コンタクトホールを形成し、該コンタクトホールを介して配線 1300～1306 を形成する。なお、配線 1300～1306 と TFT との電氣的な接続の形態は、本実施例に限定されない。

【0069】

最後に、図 13（B）に示すように第 2 の層間絶縁膜 1307 上に保護層 1308 を形成する。保護層 1308 の材料としてはポリイミドやアクリル樹脂などの光硬化型または熱硬化型の有機樹脂材料を用いることができる。

【0070】

このような手順を経て、画素部を構成する TFT と駆動回路や他の論理回路を構成する TFT、及び不揮発性のラッチ回路を構成する強誘電体材料を用いた容量

を同一基板上に同時に作製することができる。

【0071】

なお、本実施例では画素を構成するスイッチングTFTとして、ゲート電極とオーバーラップしないLDD領域を有する構造を、駆動回路及び論理回路を構成するTFTとして、シングルドレイン構造を、それぞれ作製する場合を示したが、本実施例はこの構造に限定されない。必要に応じ、GOLD構造や他のLDD構造などの用途に適したTFT構造を、公知の方法に従って作製すればよい。

【0072】

(実施例8)

図16は従来の表示方法と本発明の表示方法を組み合わせた実施例である。静止画を出す場合には、ソース信号線駆動回路1601より、デジタル映像信号をソース信号線1604～1606に出力する。このときスイッチ1619～1621は不揮発性メモリを選択しているものとする。ゲート信号線駆動回路1602がゲート信号線1625～1627を選択すると、スイッチング素子1610～1612がオンし、映像信号を不揮発性メモリ1613～1615と液晶1622～1624に書き込む。

【0073】

動画を表示するときは、ソース線駆動回路1603よりアナログ映像信号をソース信号線1604～1606に出力する。このときスイッチ1619～1621は保持容量1616～1618を選択しているものとする。ゲート信号線駆動回路1602がゲート信号線1625～1627を選択すると、スイッチング素子1610～1612がオンし、アナログ映像信号を保持容量1616～1618と液晶1622～1624に書き込む。このようにして表示を行うことが可能になる。

【0074】

(実施例9)

以上のようにして作製される表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された表示装置を表示媒体として組み込んだ電子機器について説明する。

【0075】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図15に示す。

【0076】

図15（A）はデジタルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の表示装置はカメラの表示部3102に用いることができる。

【0077】

図15（B）はノートパソコンであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の表示装置は表示部3203に使用することができる。

【0078】

図15（C）は携帯情報端末であり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の表示装置は表示部3302に使用することができる。

【0079】

図15（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3401、筐体3402、記録媒体（CD、LDまたはDVD等）読込部3405、操作スイッチ3406、表示部（a）3403、表示部（b）3404等を含む。表示部Aは主として画像情報を表示し、表示部Bは主として文字情報を表示するが、本発明の表示装置は記録媒体を備えた画像再生装置の表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0080】

図15（E）は折りたたみ式携帯表示装置であり、本体3501に本発明を用いた表示部3502を装着することができる。

【0081】

図15（F）はビデオカメラであり、本体3601は、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、接眼部3609、操作キー3610などを含む。本発明の表示装置は表示部3602に用いることができる。

【0082】

図15（G）は携帯電話であり、本体3701は、筐体3702、表示部3703、音声入力部3704、アンテナ3705、操作キー3706、外部接続ポート3707などを含む。本発明の表示装置を表示部3703に用いることができる。

【0083】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～11のどのような組み合わせからなる構成を用いても実現することができる。

【0084】**【発明の効果】**

従来の表示装置では、画素に対して一定の周期でリフレッシュが必要であり、静止画を出力するときでも、書き込みが必要であり、消費電力が大きいという問題があった。また、SRAMを用いた表示装置では、画素内にTFTが多く必要なため、開口率の低下や、画素内に必要な素子が入らないという問題があった。

【0085】

本発明は、画素内に不揮発性メモリ素子を内蔵することによって、静止画表示時のリフレッシュ動作を不用にし、且つ、少ない素子数で保持ができるため、開口率を著しく低下させることなく表示を可能にすることができた。

【図面の簡単な説明】

【図1】 本発明の表示装置の構成を示す図。

【図2】 従来の表示装置の構成を示す図。

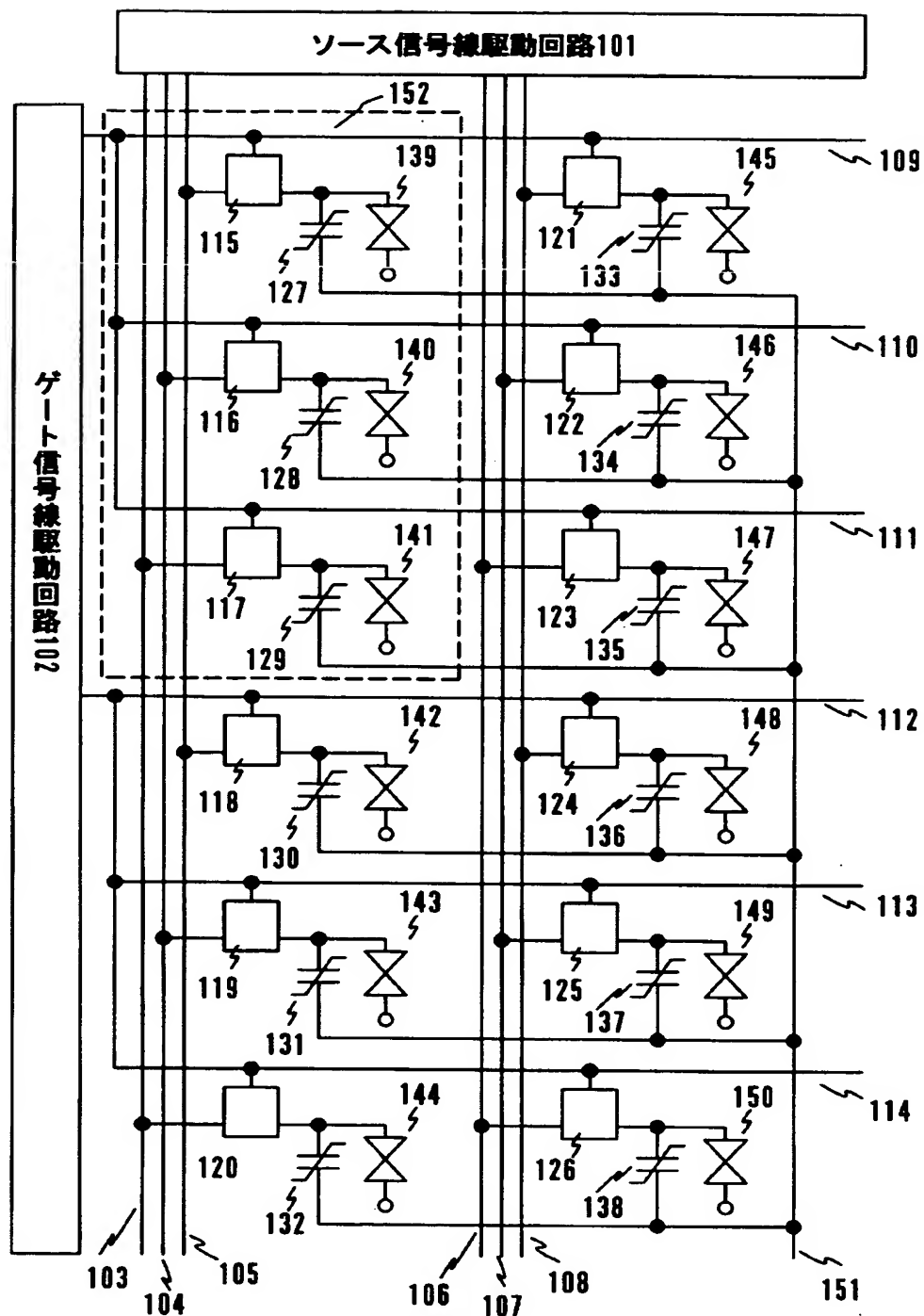
【図3】 従来の表示装置の画素部の動作波形を示す図。

【図4】 本発明の表示装置の実施例を示す図。

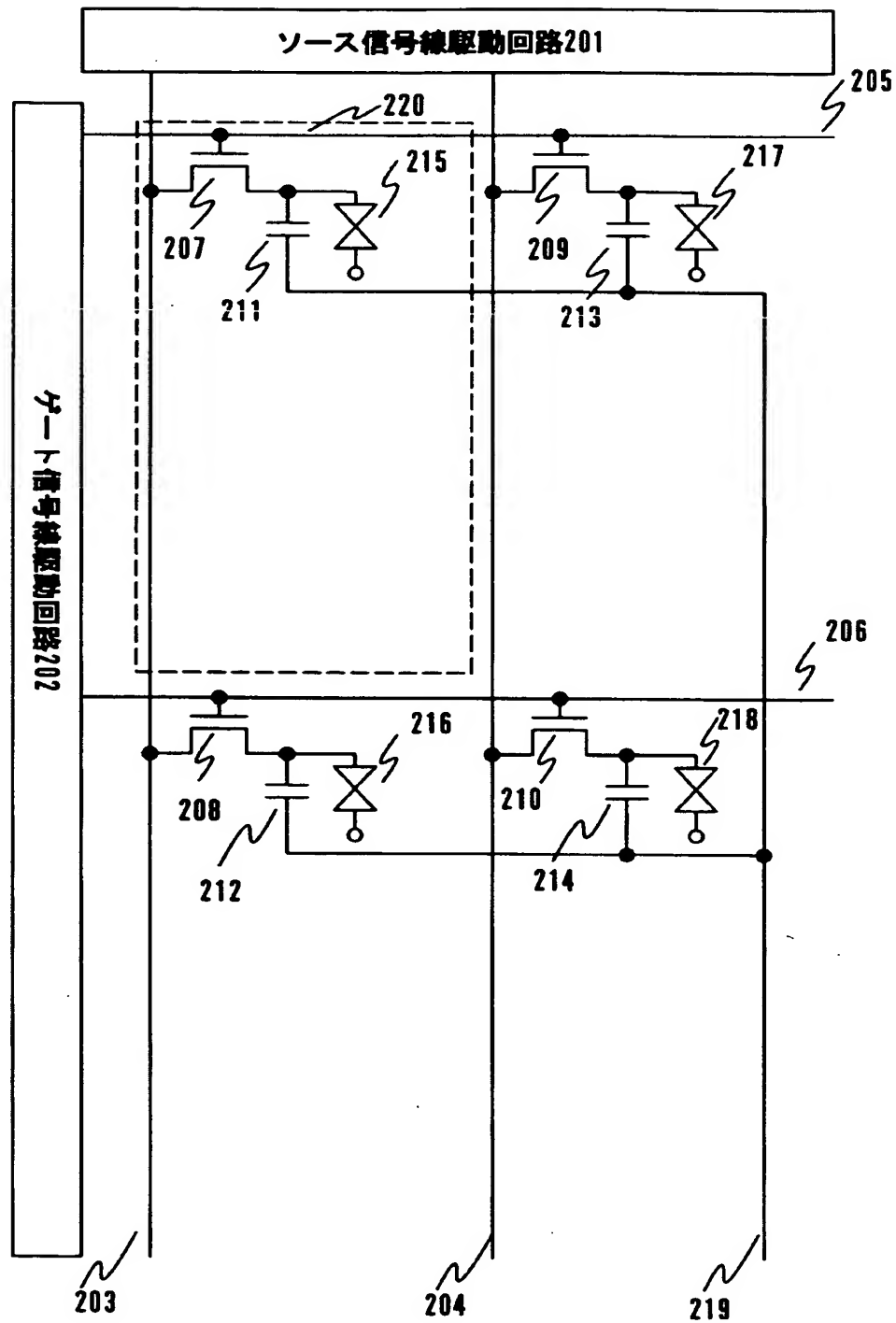
- 【図 5】 本発明の表示装置の実施例を示す図。
- 【図 6】 本発明の表示装置のソース信号線駆動回路のブロック図。
- 【図 7】 本発明の表示装置のソース信号線駆動回路のブロック図。
- 【図 8】 単極性 T F T を用いた信号線駆動回路を示す図。
- 【図 9】 本発明の画素の平面図。
- 【図 10】 本発明の構造断面を示す図。
- 【図 11】 本発明の構造断面を示す図。
- 【図 12】 本発明の構造断面を示す図。
- 【図 13】 本発明の構造断面を示す図。
- 【図 14】 従来の S R A M を用いた表示装置の画素を示した図。
- 【図 15】 本発明の表示装置を用いた電子機器の図。
- 【図 16】 本発明と D R A M 型画素を組み合わせた実施例の図。

【書類名】 図面

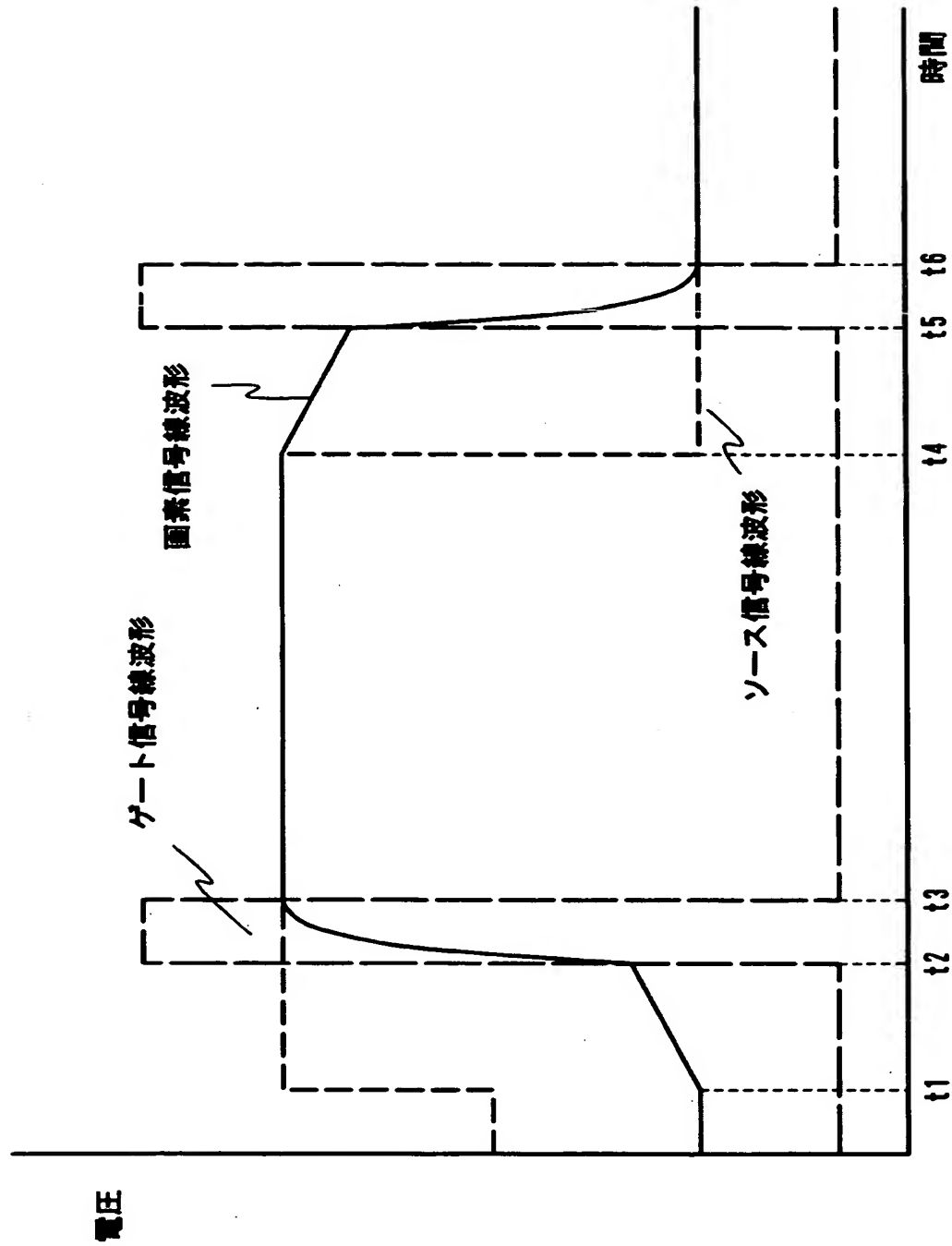
【図 1】



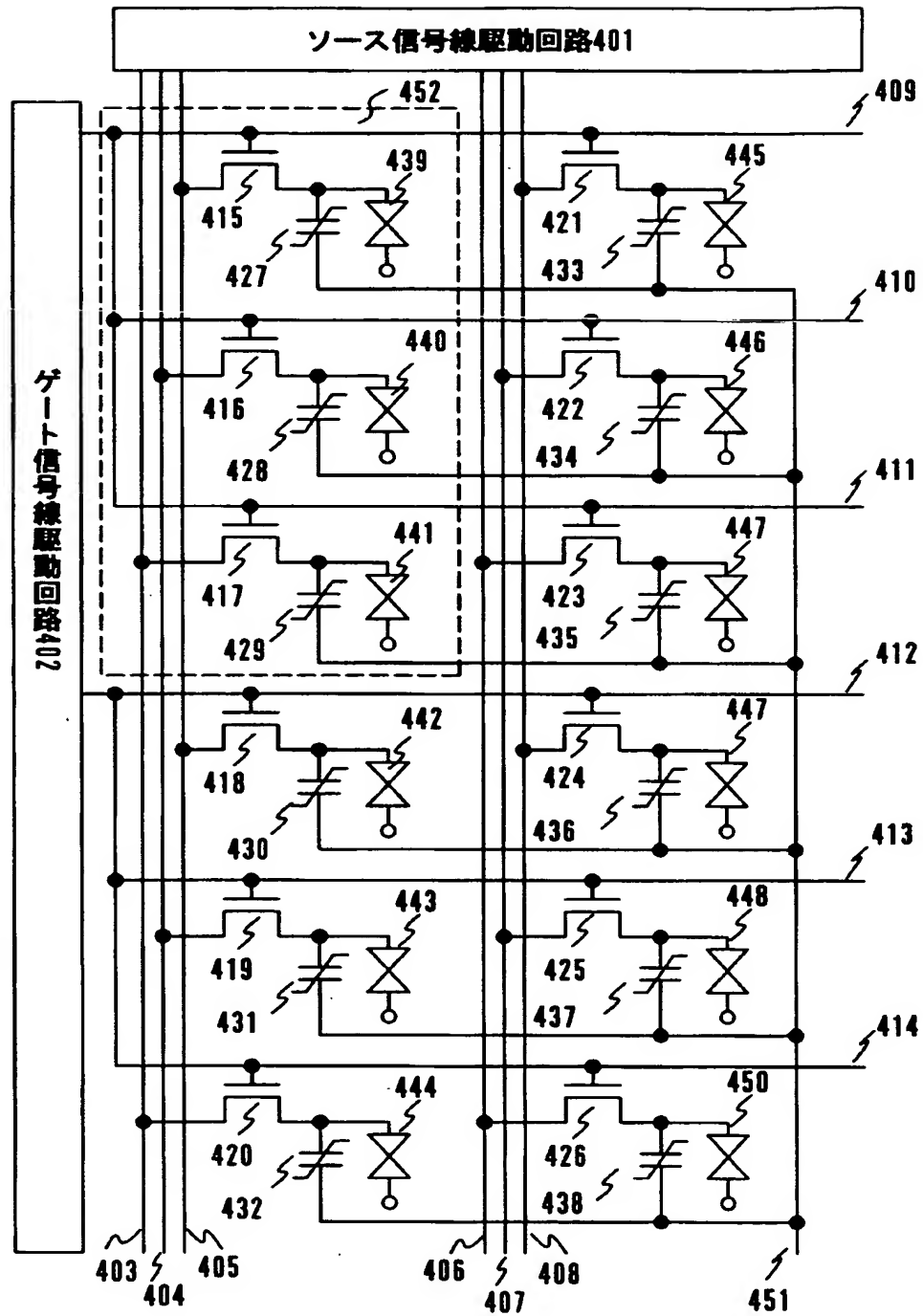
【図 2】



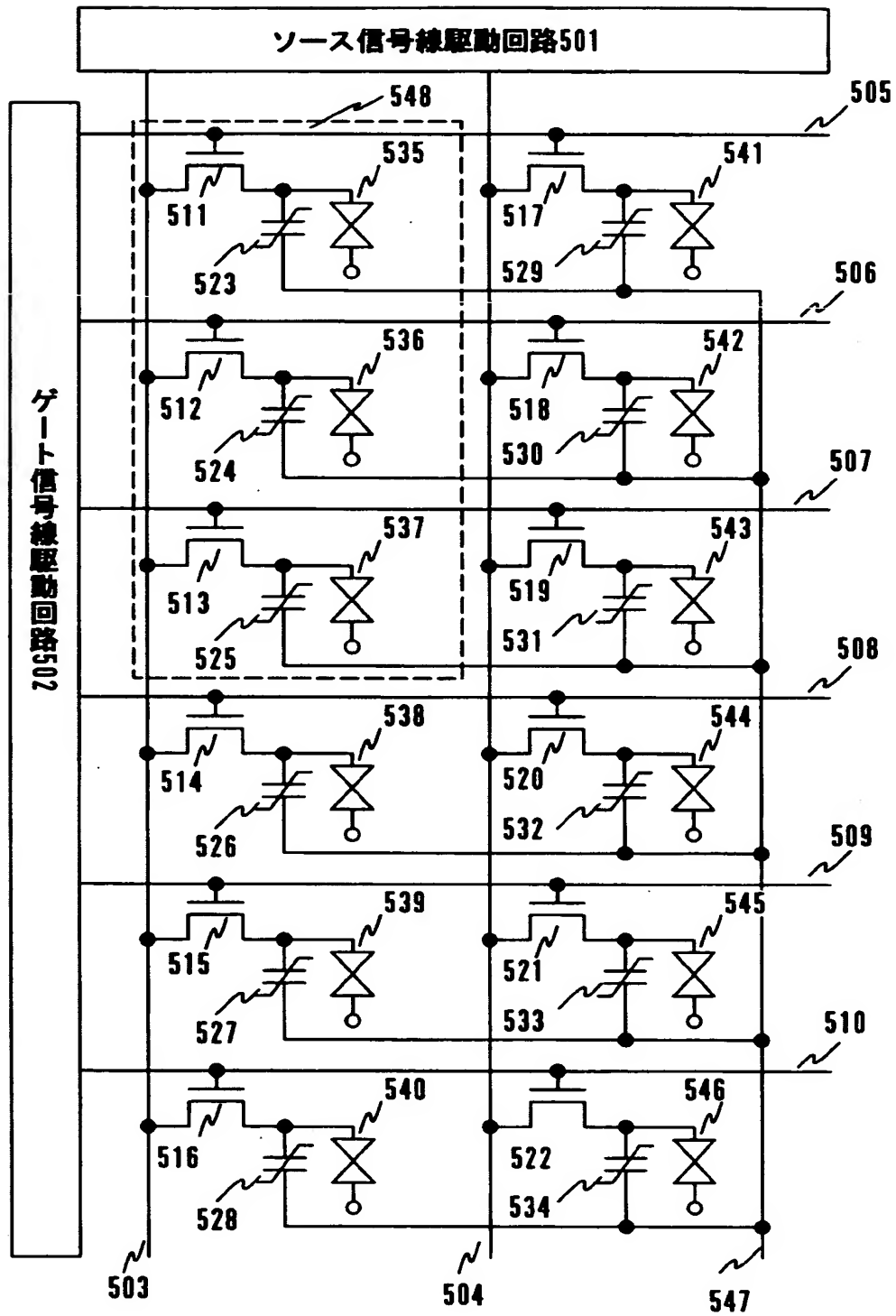
【図 3】



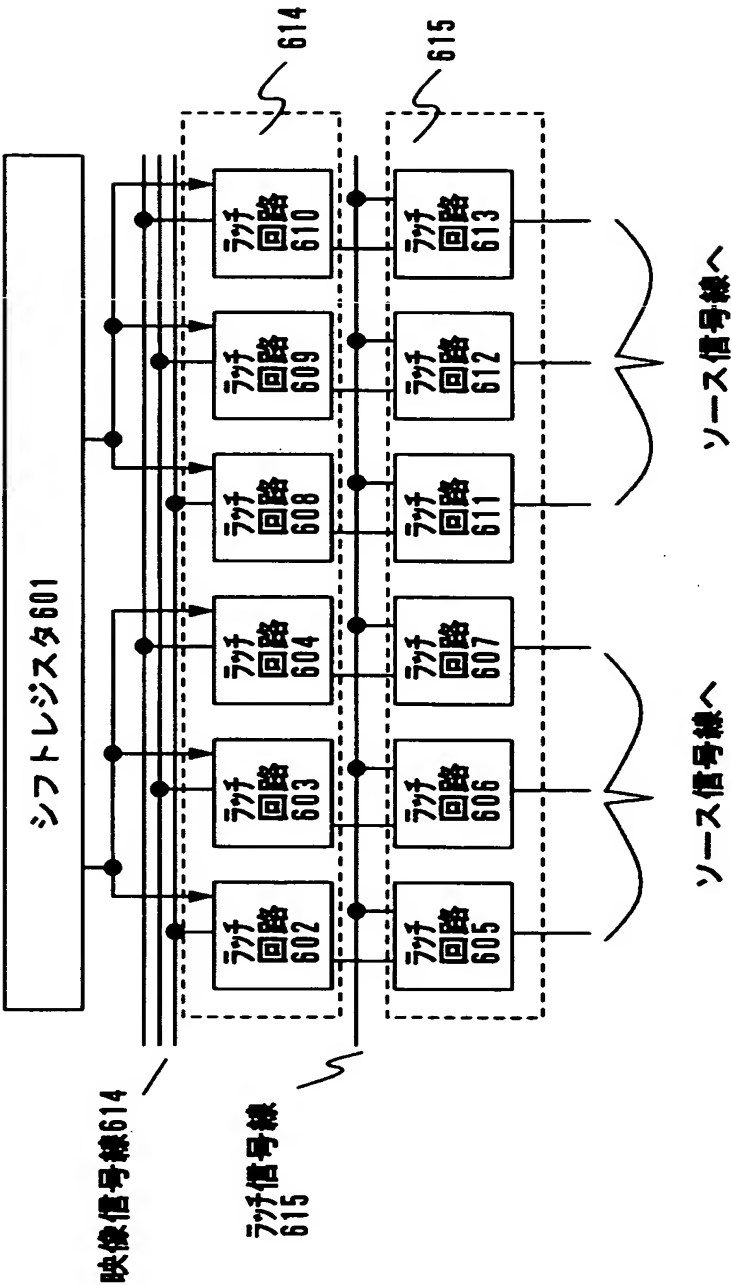
【図 4】



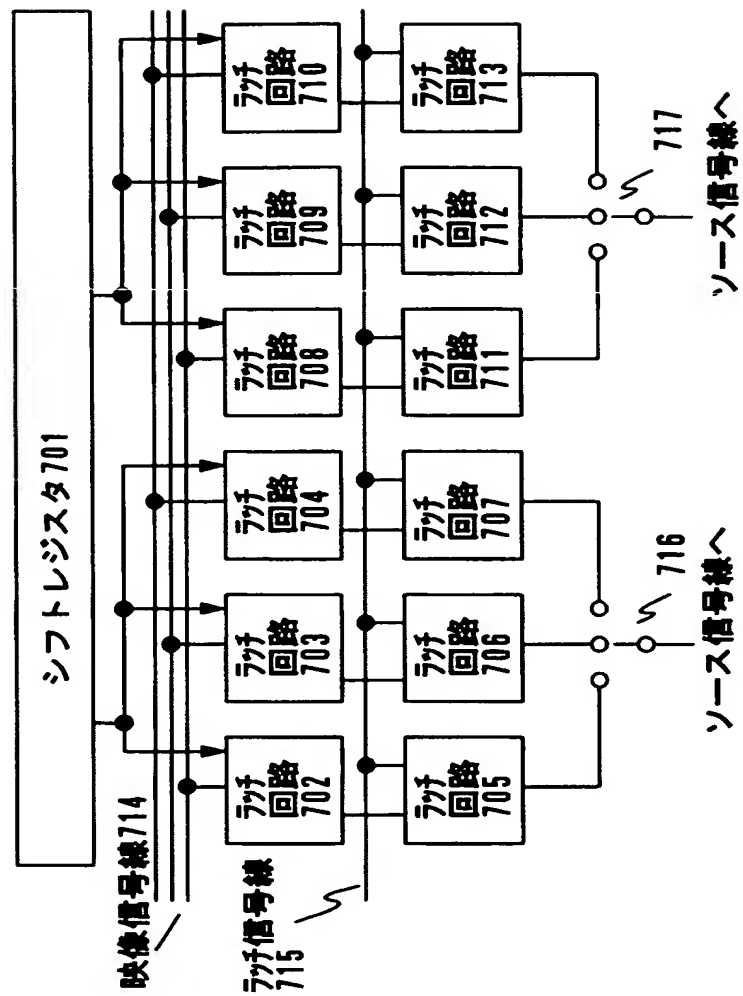
【図 5】



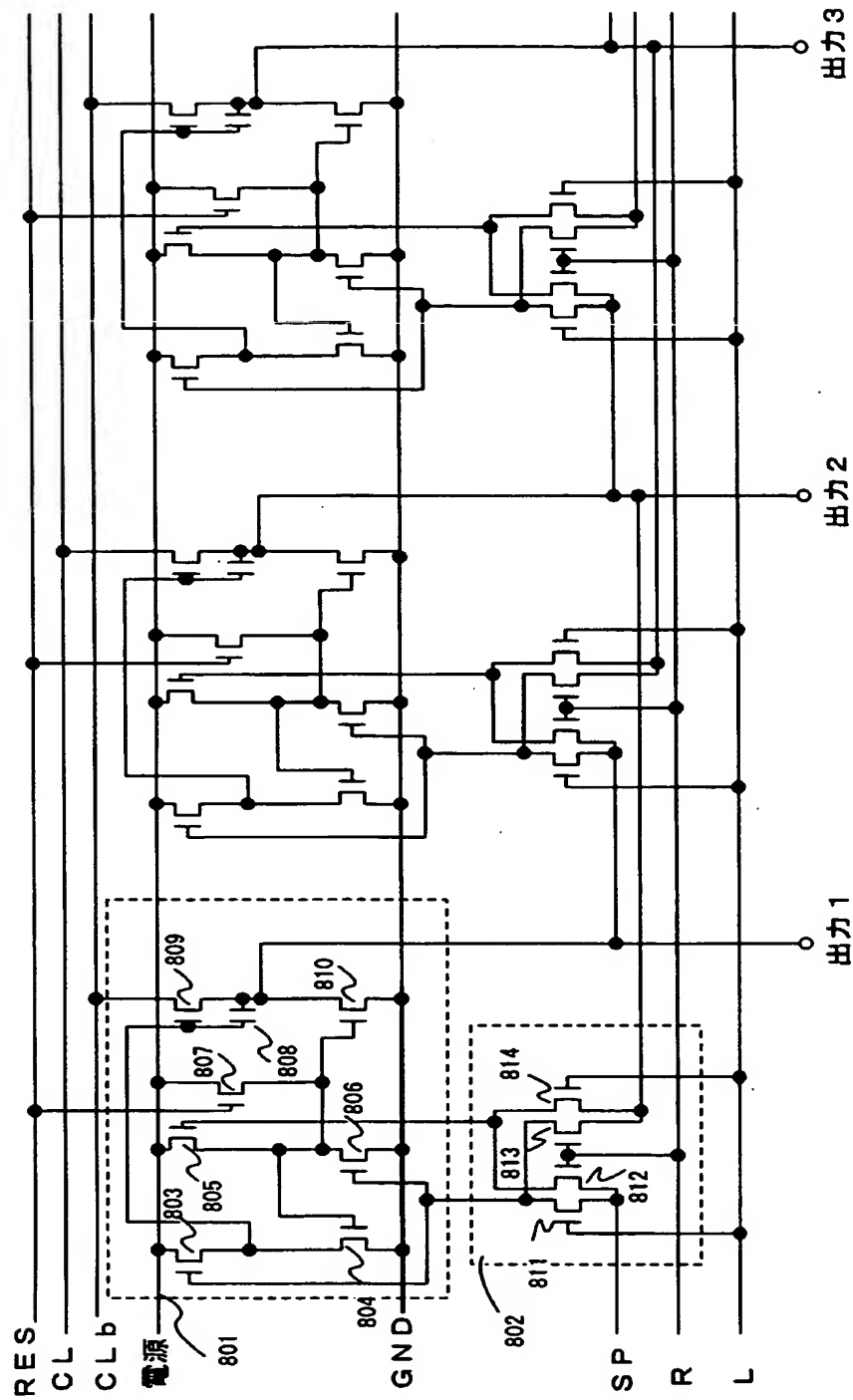
【図 6】



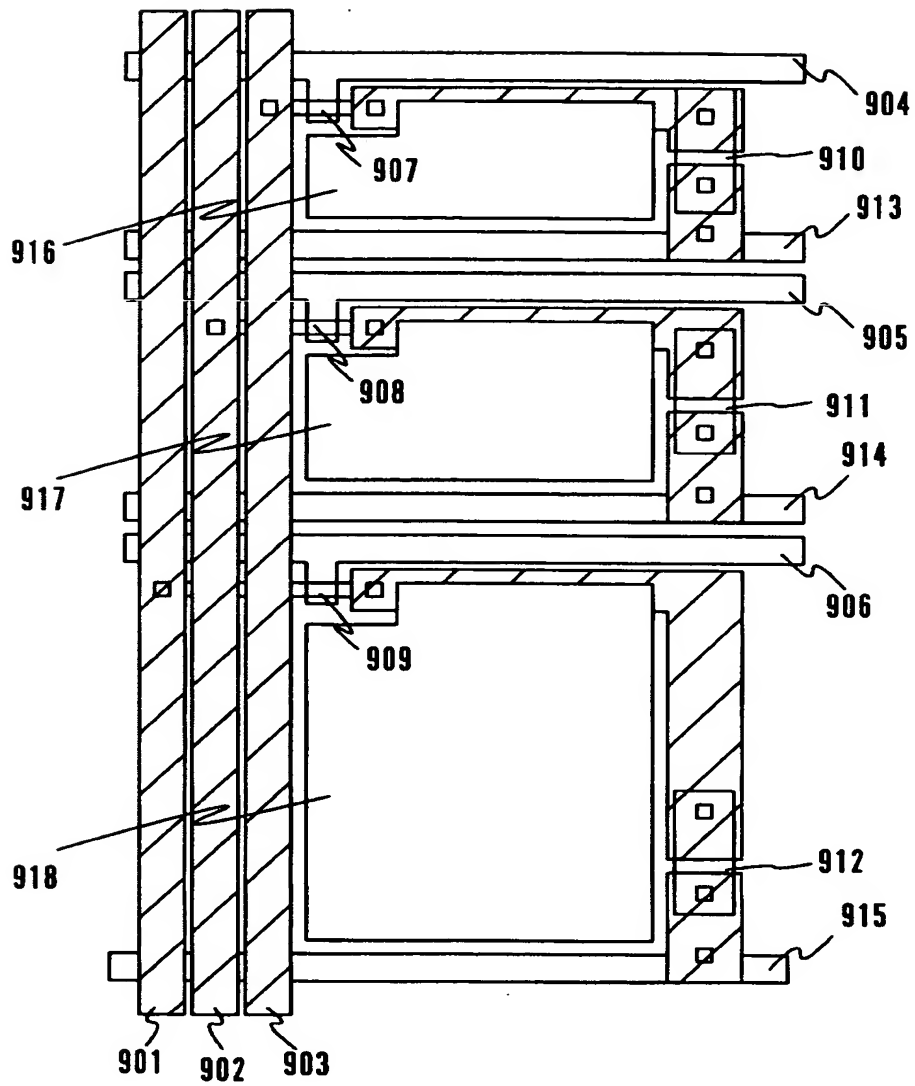
【図 7】



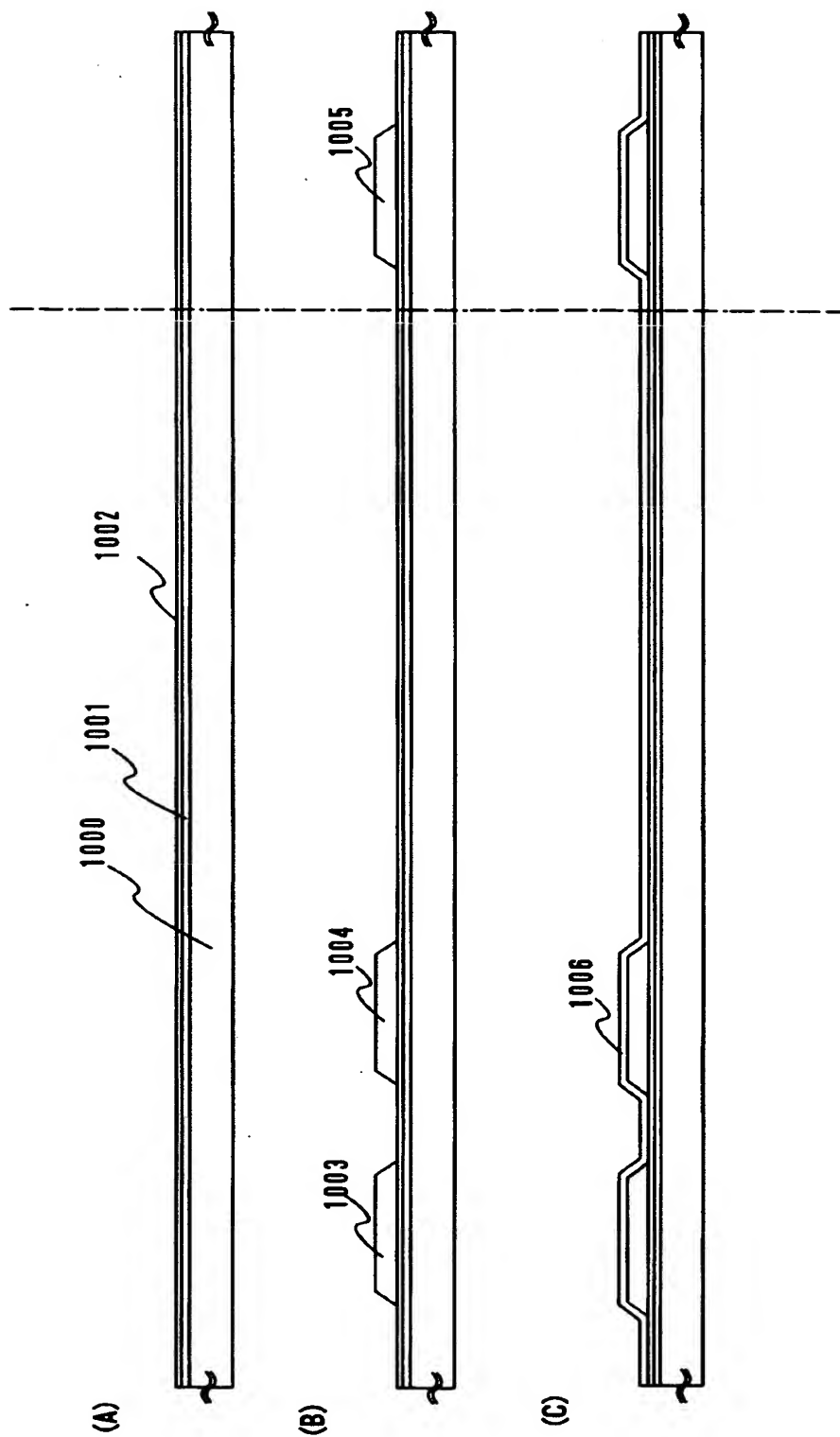
【図8】



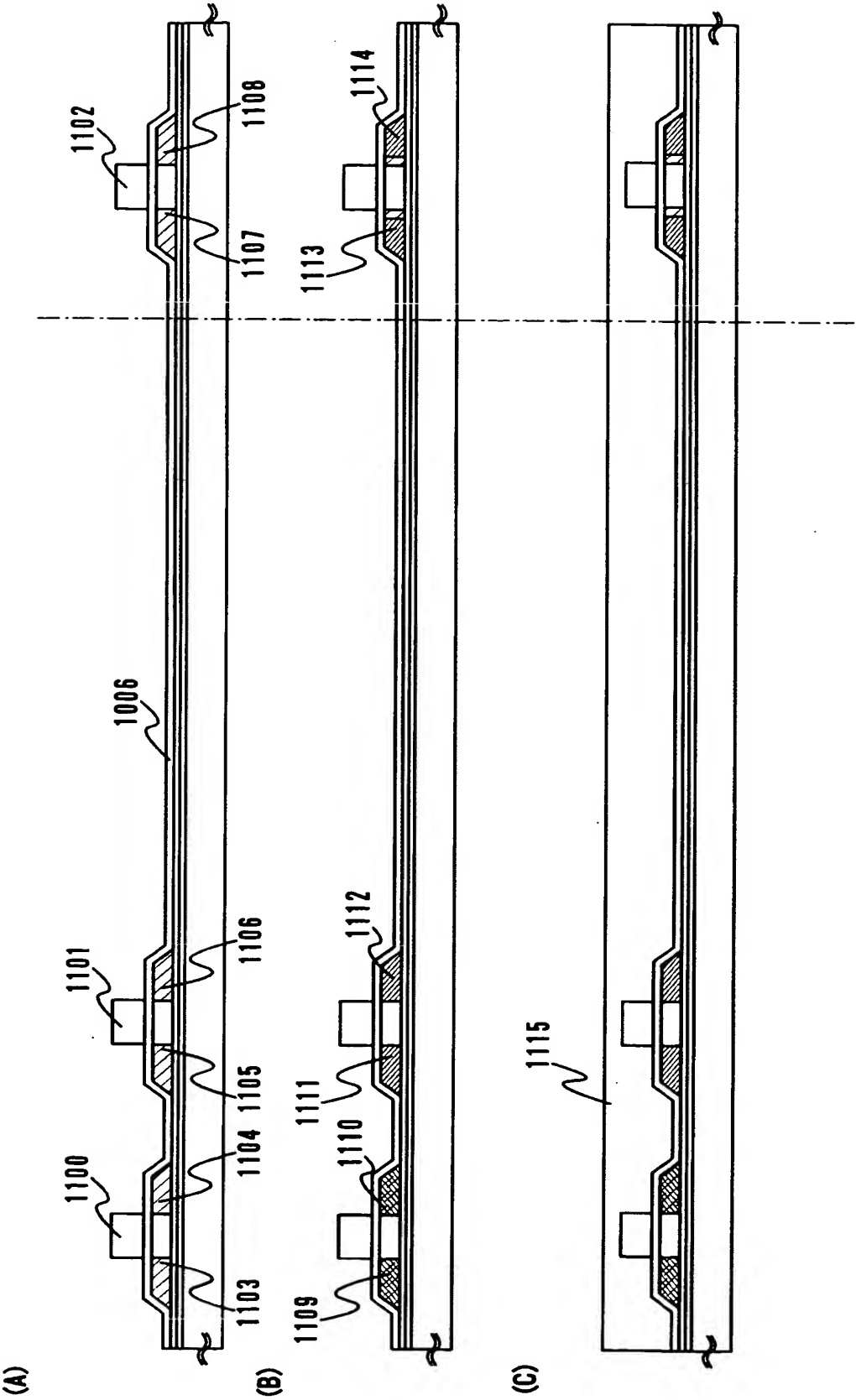
【図 9】



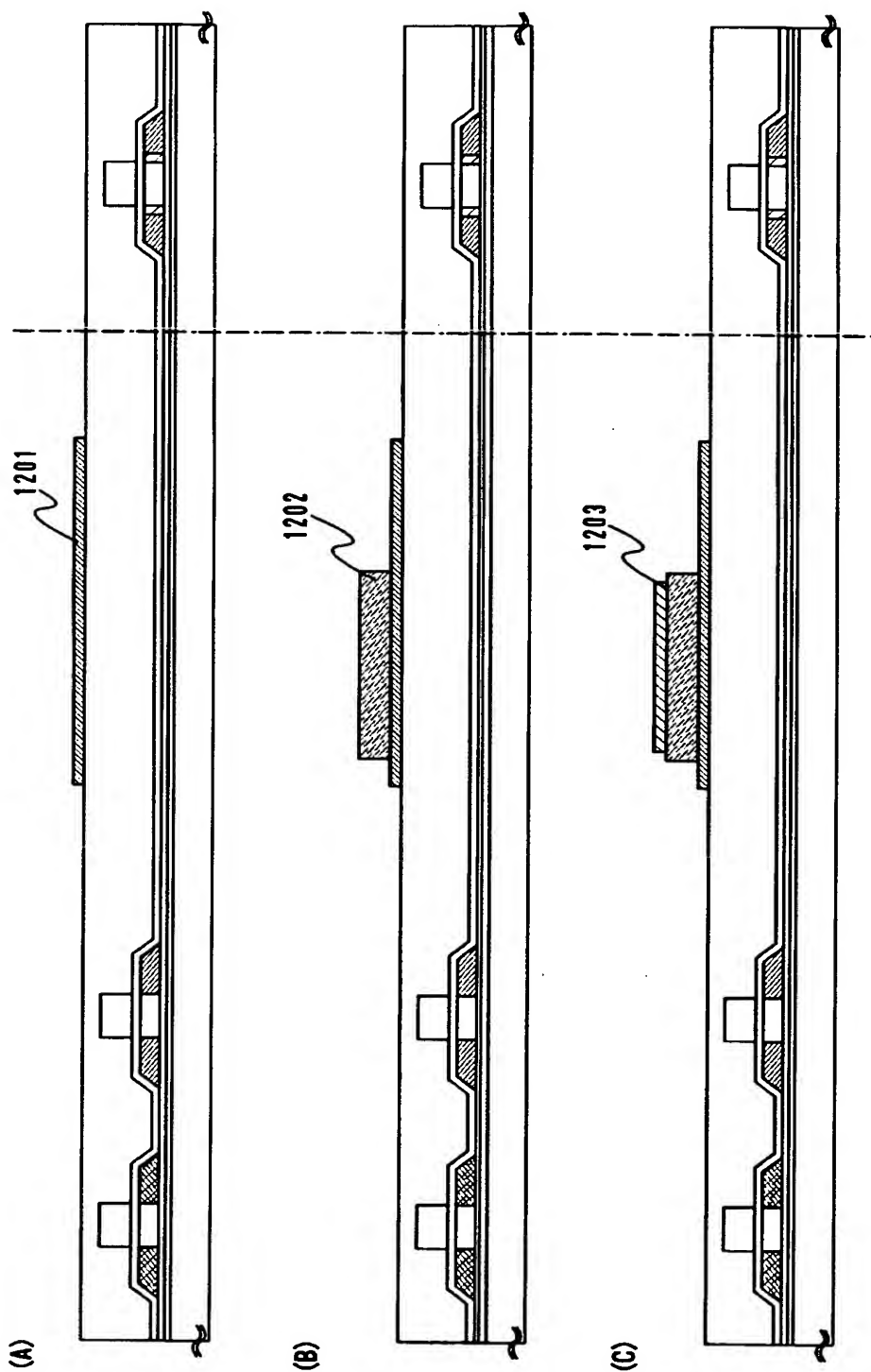
【図 10】



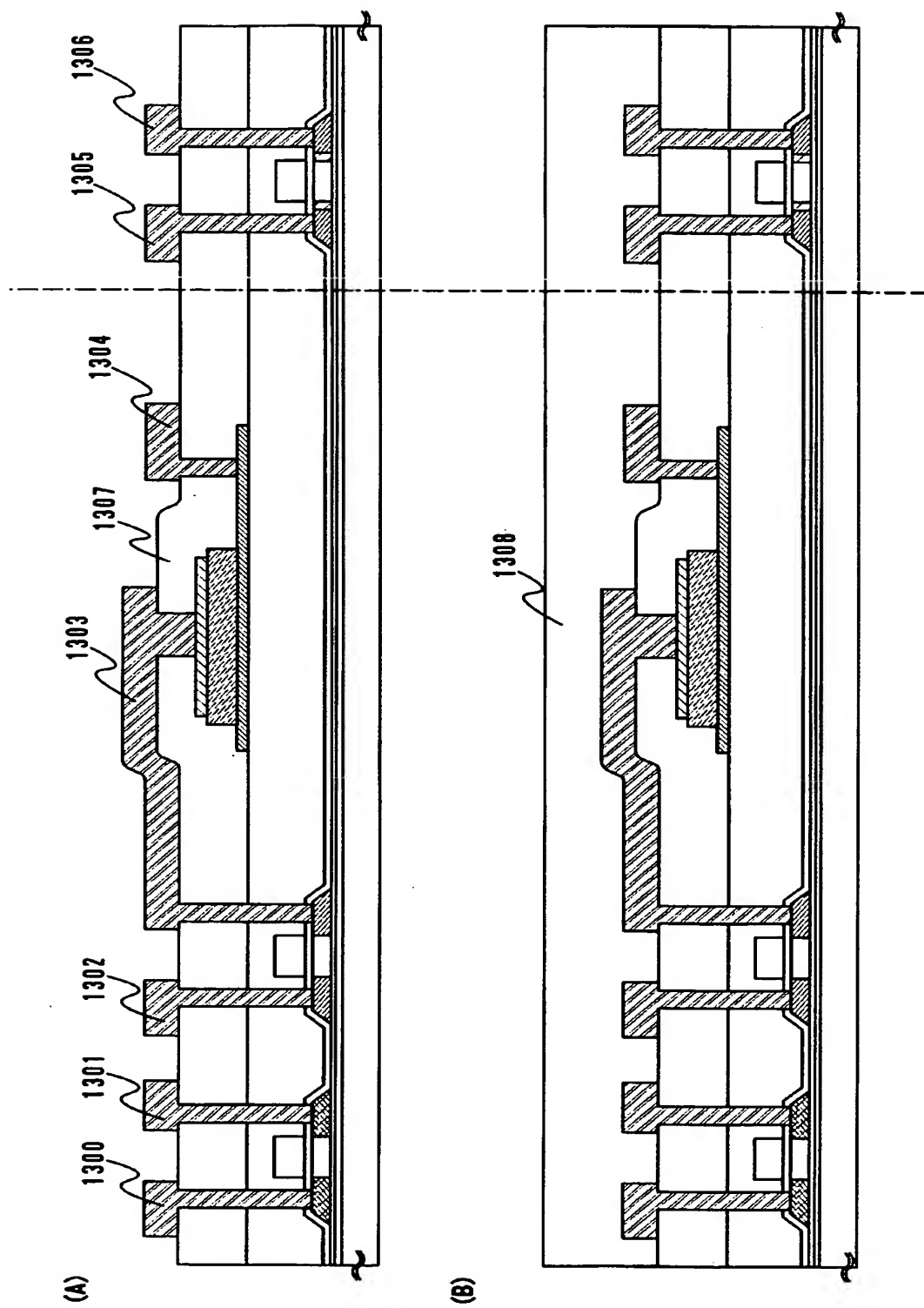
【図 11】



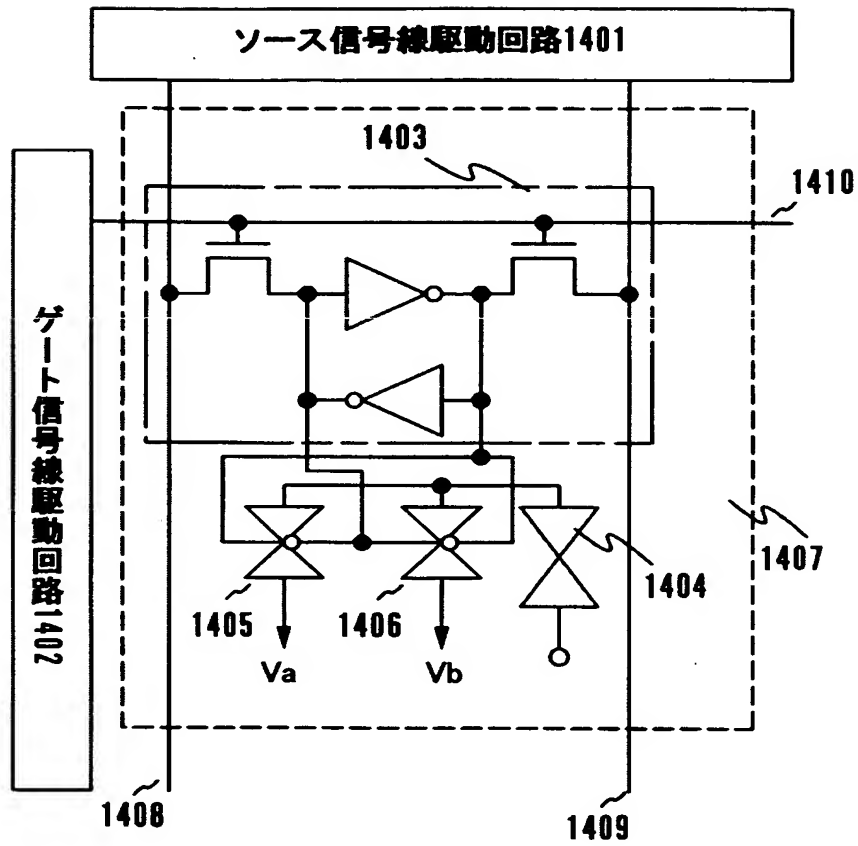
【図 12】



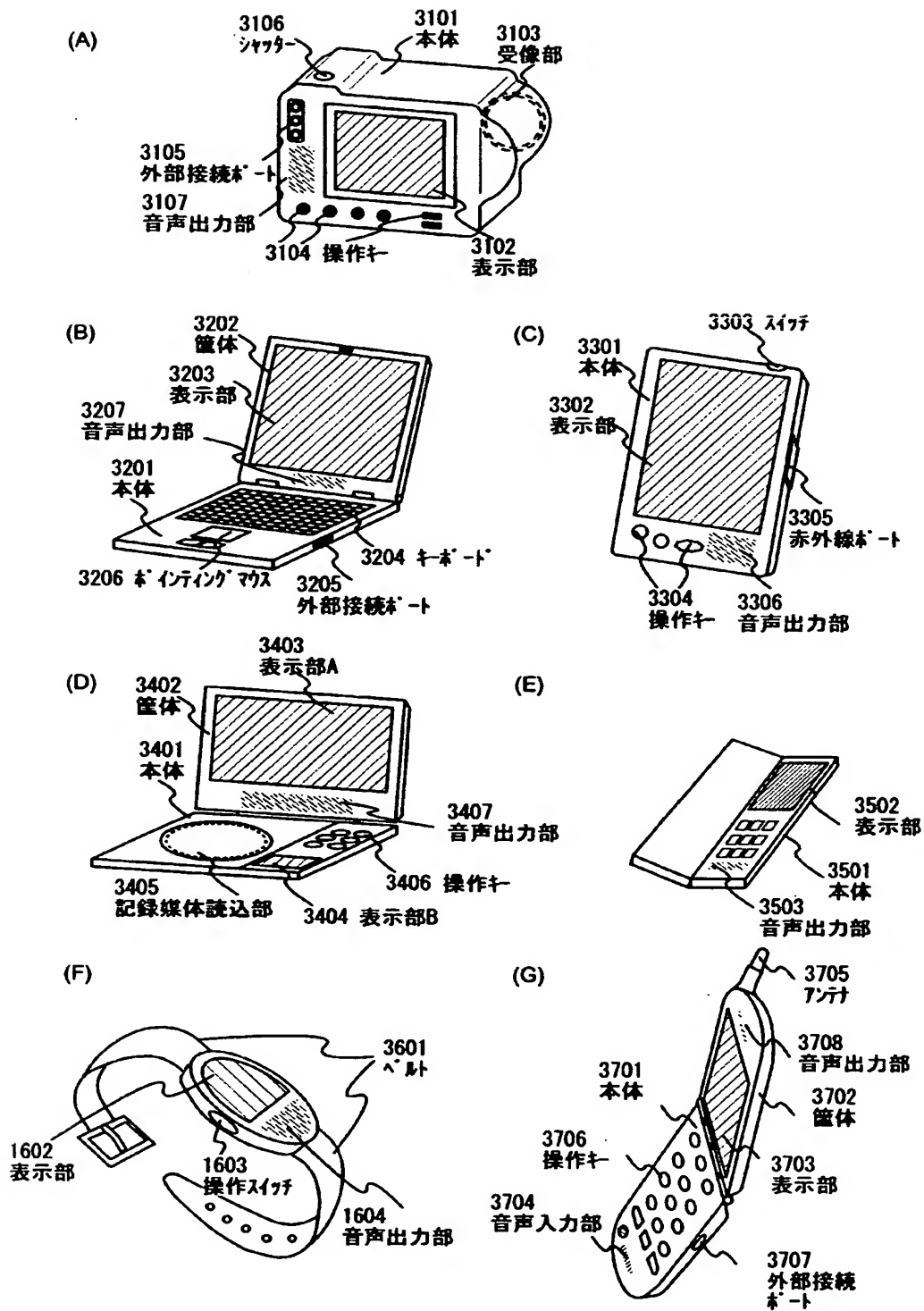
【図 13】



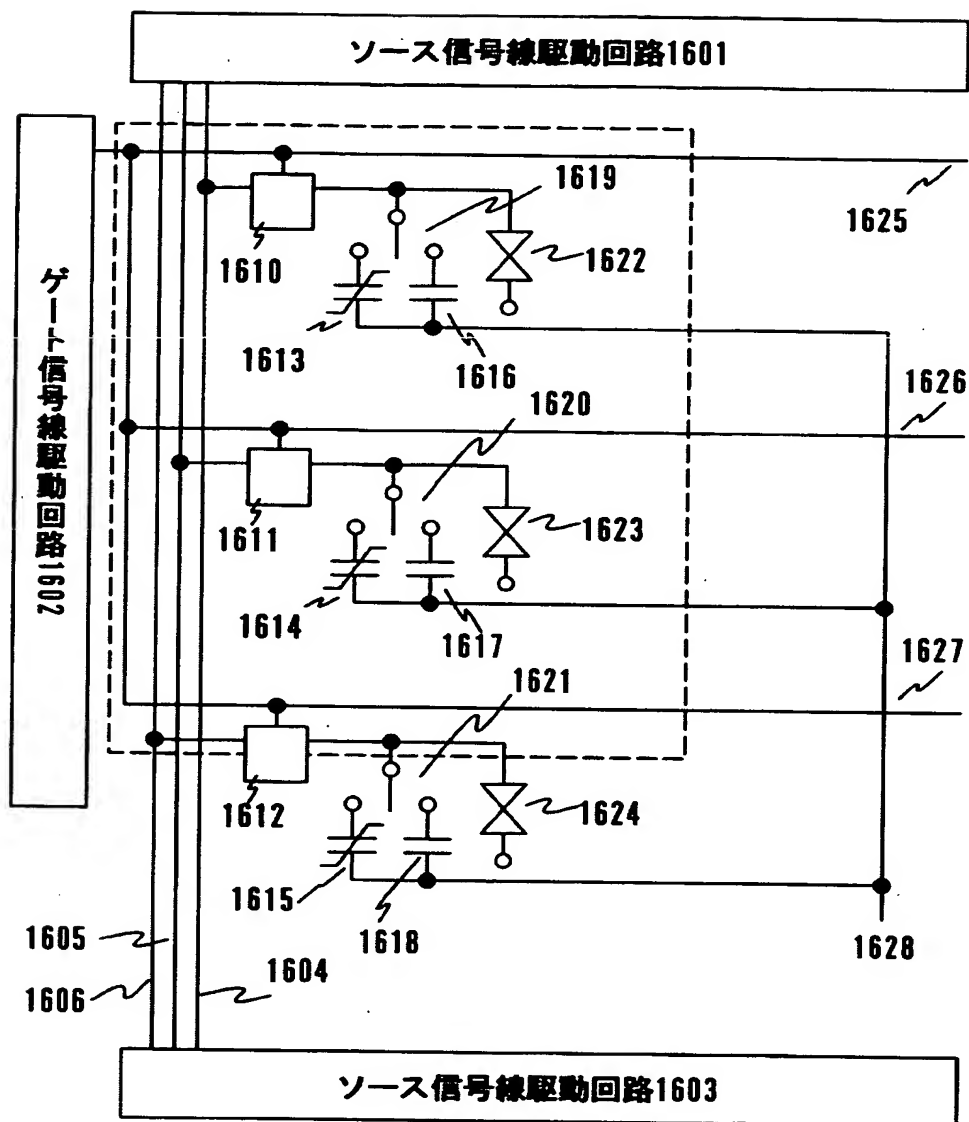
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 S R A Mを用いたアクティブマトリクス型表示装置では、S R A M回路を構成するトランジスタ数が多く、画素面積が小さい場合、画素の中に入りきらない、もしくは開口率が低下するという問題があった。リフレッシュが不要で消費電力の小さな表示装置を提供する。

【解決方法】 本発明は、画素をスイッチング素子と、不揮発性メモリ素子で構成する。不揮発性メモリ素子は強誘電体素子を用い、保持を行うことによって、静止画を表示する場合フレーム毎に書き込みを行う必要をなくすることができる。また、強誘電体メモリは占有面積が小さいので開口率を著しく落とすことなく、メモリを内蔵することができる。

【選択図】 図1

特願 2 0 0 2 - 3 7.8 8 6.8

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所